

Searching PAJ

1/2 ページ

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-152640

(43)Date of publication of application : 18.06.1993

(51)Int.Cl.

H01L 49/00

(21)Application number : 04-117521

(71)Applicant : KOBE STEEL LTD

(22)Date of filing : 11.05.1992

(72)Inventor : MIYATA KOICHI
NISHIMURA KOZO
KOBASHI KOJI

(30)Priority

Priority number : 03280518

Priority date : 30.09.1991

Priority country : JP

(54) COLD CATHODE EMITTER ELEMENT

(57)Abstract:

PURPOSE: To obtain a cold cathode emitter, element the emitter section of which has a high heat resistance and dielectric strength, is less in deterioration of electron emission characteristics, and can be used under a high-power condition.

CONSTITUTION: An SiO₂ film 2a having an opening is formed on a silicon substrate 1 and an extraction electrode 4 is formed on the film 2a. In addition, an emitter 3 is formed on the surface of the substrate 1 in the opening of the film 2a. The emitter 3 is composed of a semiconductor diamond.



LEGAL STATUS

[Date of request for examination]

01.06.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3255960

[Date of registration]

30.11.2001

BEST AVAILABLE COPY

Searching PAJ

2/2 ページ

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-152640

(43)公開日 平成5年(1993)8月18日

(51)Int.Cl.⁵

H01L 49/00

識別記号

庁内整理番号

8728-4M

FI

技術表示箇所

審査請求 未請求 請求項の数1(全7頁)

(21)出願番号 特願平4-117521

(22)出願日 平成4年(1992)5月11日

(31)優先権主張番号 特願平3-280518

(32)優先日 平3(1991)9月30日

(33)優先権主張国 日本(JP)

(71)出願人 000001199

株式会社神戸製鋼所

兵庫県神戸市中央区脇浜町1丁目3番18号

(72)発明者 宮田 浩一

兵庫県神戸市西区高塚台1丁目5番5号

株式会社神戸製鋼所神戸総合技術研究所内

(72)発明者 西村 耕造

兵庫県神戸市西区高塚台1丁目5番5号

株式会社神戸製鋼所神戸総合技術研究所内

(72)発明者 小橋 宏司

兵庫県神戸市西区高塚台1丁目5番5号

株式会社神戸製鋼所神戸総合技術研究所内

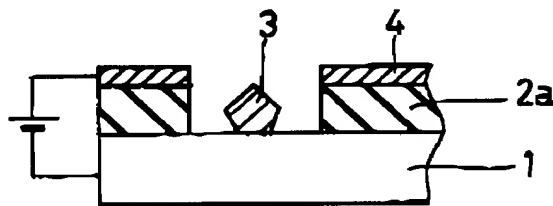
(74)代理人 弁理士 藤巻 正憲

(54)【発明の名称】 冷陰極エミッタ素子

(57)【要約】

【目的】 エミッタ部の耐熱性及び耐電圧が高く、使用に伴う電子放射特性の劣化が少なく、大電力で使用することが可能な冷陰極エミッタ素子を提供することを目的とする。

【構成】 シリコン基板1上には、開口部が設けられたSiO₂膜2aが形成されており、このSiO₂膜2a上には引き出し電極4が形成されている。また、前記開口部の基板表面上にはエミッタ3が形成されている。このエミッタ3は、半導体ダイヤモンドにより構成されている。



(2)

特開平5-152640

1

【特許請求の範囲】

【請求項1】 その表面から真空中に電子を放出するエミッタ部を備えた冷陰極エミッタ素子において、前記エミッタ部が半導体ダイヤモンドからなることを特徴とする冷陰極エミッタ素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は真空マイクロエレクトロニクス技術を利用した整流素子、増幅素子及びディスプレイ素子等の真空素子に適用可能な冷陰極エミッタ素子に関する。

【0002】

【従来の技術】近年、半導体トランジスタ等の製造に使用されている微細加工技術を利用してミクロンサイズの微小な真空素子を作製する技術が研究開発されている

（伊藤順司、真空マイクロエレクトロニクス、応用物理、第59巻、第2号、1990年発行）。

【0003】図12はこのような真空素子の1つである真空3極管素子の一例を示す模式的断面図である。シリコン基板31上には選択的に開口部が設けられた絶縁膜33が設けられており、前記開口部内において、円錐状のエミッタ32が形成されている。また、開口部の周囲の絶縁膜33上にはゲート34が配設されており、このゲート34から若干隔離してアノード35が配置されている。

【0004】このように構成された真空3極管素子を真空中におき、エミッタ32、ゲート34及びアノード35に夫々所定の電圧を印加すると、エミッタ32の先端から真空中に電子が放出される。この放出された電子は、図中矢印で示すような軌道を通してアノード35に到達する。この真空3極管素子では、電子が真空中を移動するため、電子が固体中を移動する場合（例えば、半導体トランジスタ等の場合）に比して、電子の移動速度を原理的には約1000倍に高めることが可能である。即ち、冷陰極エミッタ素子を用いた整流素子及びトランジスタ等は超高速動作が可能である。また、エミッタを蛍光板に対向させて配置することにより、光ディスプレイを構成することもできる。

【0005】図13（a）乃至（c）は冷陰極エミッタ素子の製造方法の一例を工程順に示す断面図である。まず、図13（a）に示すように、基板31上に絶縁膜（例えば、 SiO_2 膜）33、Mo膜36及びAl膜37を順次積層形成し、Al膜37の表面から基板31の表面に到達するピンホールを形成する。

【0006】次に、図13（b）に示すように、全面にMoを真空蒸着する。そうすると、ピンホール内のシリコン基板31上にMoが円錐状に堆積し、Al膜37上には、Moが徐々にピンホールを閉塞するように堆積していく。即ち、このAl膜37上に堆積されたMo膜38の膜厚の増加に伴って、ピンホールの直径が減少し、

2

やがてピンホールが塞がってしまう。また、ピンホール内の基板31上には、Moからなる円錐状のエミッタ32が形成される。

【0007】次いで、図13（c）に示すように、Mo膜38及びAl膜37を除去する。このようにして冷陰極エミッタが完成する。

【0008】図14（a）乃至（c）は、冷陰極エミッタ素子の他の製造方法を工程順に示す断面図である。まず、図14（a）に示すように、シリコン基板31の（100）面上に、 SiO_2 又は SiN 等のエッチングマスク38を選択的に形成する。

【0009】次に、図14（b）に示すように、エッチング液（ KOH 、イソプロピルアルコール（IPA）及び H_2O の混合溶液）により、シリコン基板31に対して異方性エッチングを施す。これにより、エッチングマスク38の下方にシリコンからなるエミッタ32が形成される。

【0010】次いで、図14（c）に示すように、エッチングマスク38を取り除いた後、エミッタ32の周囲に絶縁膜33を形成し、この絶縁膜33上に引き出し電極40を形成する。このようにして、冷陰極エミッタ素子が完成する。

【0011】図15は電界放射エミッタを使用した開放構造のキャビティをもつ縦型真空3極管素子を示す模式的断面図である。図12に示す構造の冷陰極エミッタ素子では、ゲート34及びアノード35がエミッタ32の周囲に平面的に配置されているのに対し、図15に示す縦型真空3極管素子では、ゲート34及びアノード35が絶縁膜33を介して立体的に配置されている。

【0012】図16（a）乃至（e）はこの縦型真空3極管素子の製造方法を工程順に示す断面図である。まず、図16（a）に示すように、シリコン基板31の（100）面上に絶縁膜（例えば、 SiN 膜）33を例えば4 μm の厚さで形成する。

【0013】次に、図16（b）に示すように、絶縁膜33上にレジスト41を選択的に形成し、このレジスト41をマスクとして絶縁膜33を選択的にエッチング除去する。

【0014】次に、図16（c）に示すように、絶縁膜33をマスクとしてシリコン基板31に対し異方性エッチングを施す。これにより、円錐状をなすエミッタ32が形成される。

【0015】次に、図16（d）に示すように、全面に絶縁膜（例えば、 SiO_2 膜）42を形成し、更に電極膜43、絶縁膜（例えば、 SiO_2 膜）44及び電極膜45を順次形成する。

【0016】次いで、図16（e）に示すように、エミッタ32上の絶縁膜42、絶縁膜33、電極膜43、絶縁膜44及び電極膜45を選択的に除去する。これにより、縦型真空3極管素子が完成する。

(3)

特開平5-152640

3

4

【0017】

【発明が解決しようとする課題】しかしながら、上述したように、従来の冷陰極エミッタ素子においては、一般的にエミッタの構成材料としてシリコン、タングステン、又はモリブデンが使用されている。このため、素子動作中に発生する熱によりエミッタ先端の曲率が大きくなったり、表面が酸化されることにより、電子放射特性が急速に劣化する。このため、従来の冷陰極エミッタ素子においては、寿命が短く、大電力動作に耐えられず、実用化が極めて困難であるという問題点がある。

【0018】本発明はかかる問題点に鑑みてなされたものであって、電子放射特性の劣化を回避できると共に、大電力で動作させることが可能な冷陰極エミッタ素子を提供することを目的とする。

【0019】

【課題を解決するための手段】本発明に係る冷陰極エミッタ素子は、その表面から真空中に電子を放出するエミッタ部を備えた冷陰極エミッタ素子において、前記エミッタ部が半導体ダイヤモンドからなることを特徴とする。

【0020】

【作用】本発明においては、電子を放出するエミッタ部が半導体ダイヤモンドからなる。ダイヤモンドは耐熱性及び耐電圧が高いため、本発明に係る冷陰極エミッタ素子はエミッタ部の先端形状の変化が少なく、寿命が長いと共に電子放射特性の劣化が抑制される。また、本発明に係る冷陰極エミッタ素子は、エミッタ部に高電圧を印加することができるため、大電流で動作させることができる。更に、ダイヤモンドの(111)結晶面においては、真空単位が伝導帯よりも下方にある。このため、ダイヤモンドは電子を伝導帯に一旦励起すれば、電子が真空中に自然に放出されるという特性がある。このような特性は他の材料では見られず、ダイヤモンドは冷陰極エミッタ素子のエミッタ部構成材料として極めて適している。従って、本発明に係る冷陰極エミッタ素子は、電子放射特性が極めて優れている。

【0021】なお、ダイヤモンドは、気相合成により基板上に比較的容易に成長させることができる。また、シリコン表面は約200°Cで変質したり表面構造が変質して劣化するのに対し、ダイヤモンドは600°C以上でも変化しないという長所がある。従って、通常、ダイヤモンドを成長させる基板としてシリコンウェハを用いるが、例えばシリコンウェハ上に半導体ダイヤモンド薄膜を被覆する等の方法により、冷陰極エミッタ素子の耐熱性を向上させることができる。更に、絶縁膜として、通常使用されるSiO₂薄膜に替えて絶縁性ダイヤモンド薄膜を使用すれば、冷陰極エミッタ素子の耐熱性をより一層向上させることができると共に、高周波特性を向上させることができる。

【0022】

10

20

30

40

50

【実施例】次に、本発明の実施例について添付の図面を参照して説明する。

【0023】図1は本発明の第1の実施例に係る冷陰極エミッタ素子を示す模式的断面図である。低抵抗シリコン基板1上には開口部が選択的に設けられたSiO₂膜2aが形成されており、前記開口部の基板1上には半導体ダイヤモンドからなるエミッタ3が設けられている。また、SiO₂膜2a上にはタングステン(W)からなる引き出し電極4が形成されている。

【0024】本実施例においては、エミッタ3が半導体ダイヤモンドからなるため、エミッタ3の耐熱性が高く、素子の動作中にエミッタ先端部の曲率が大きくなることを抑制することができ、電子放射特性の劣化を回避することができる。また、ダイヤモンドはSi等に比して耐電圧が高いため、本実施例に係る冷陰極エミッタ素子は、従来に比して大電力動作が可能である。

【0025】次に、本実施例に係る冷陰極エミッタ素子の製造方法について説明する。まず、シリコン基板1上にボロン(B)をドーピングした半導体ダイヤモンド粒子を選択的に成長させて、エミッタ3を形成する。次に、フォトリソグラフィ技術を使用して、エミッタ形成領域を除く基板1上にSiO₂膜2aを形成する。次いで、エミッタ3の周囲のSiO₂膜2a上に、引き出し電極4としてタングステン薄膜を形成する。これにより、本実施例に係る冷陰極エミッタ素子が完成する。

【0026】上述のようにして、図1に示す構造の冷陰極エミッタ素子を実際に製造した。この場合に、キャビティの直径は8μm、深さは3μm、エミッタ3の直径は約1μmである。そして、真空中で基板1を介してエミッタに300Vの負電圧を印加した。その結果、素子には2mAの電流が流れた。

【0027】図2は本発明の第2の実施例に係る冷陰極エミッタ素子を示す模式的断面図である。本実施例が第1の実施例と異なる点はSiO₂膜2aに替えて絶縁性ダイヤモンド膜2bが形成されていることにあり、その他の構成は基本的には第1の実施例と同様であるので、図2において図1と同一物には同一符号を付してその詳細な説明は省略する。

【0028】本実施例においては、エミッタ3と引き出し電極4とを電気的に絶縁する絶縁膜として、絶縁性ダイヤモンド膜2bが設けられている。これにより、本実施例に係る冷陰極エミッタ素子は、第1の実施例の冷陰極エミッタ素子に比して耐熱性が高いと共に高周波特性が優れているという効果を得ることができる。

【0029】本実施例に係る冷陰極エミッタ素子を実際に製造した。この場合に、キャビティの直径は約8μm、深さは約3μm、エミッタ3の直径は約1μmである。そして、真空中で基板1を介してエミッタ3に300Vの負電圧を印加した。その結果、素子には約2mAの電流が流れた。

(4)

特開平5-152640

5

【0030】図3は本発明の第3の実施例に係る冷陰極エミッタ素子を示す模式的断面図である。低抵抗シリコン基板1上には半導体ダイヤモンド膜5が形成されている。この半導体ダイヤモンド膜5上には開口部が選択的に設けられた絶縁膜2が形成されており、前記開口部の基板1上には半導体ダイヤモンドからなるエミッタ3が設けられている。なお、絶縁膜2は、例えばSiO₂、膜でもよく、絶縁性ダイヤモンド膜でもよい。また、絶縁膜2上にはタングステンからなる引き出し電極4が形成されている。

【0031】シリコンは約200°Cの温度で表面構造が変質又は変化するのに対し、ダイヤモンドは600°C以上の温度でもその表面構造が変化しない。従って、本実施例においては、第1の実施例に比して耐熱性が高いという効果を得ることができる。

【0032】本実施例に係る冷陰極エミッタ素子を実際に製造し、真空中で基板を介してエミッタ3に300Vの負電圧を印加した。但し、キャビティの直径は8μm、深さは3μm、エミッタ3の直径は約1μmである。その結果、素子には約2mAの電流が流れた。

【0033】図4は本発明の第4の実施例に係る冷陰極エミッタ素子を示す模式的断面図である。基板1はSiO₂又はSi、N₂等の耐熱性が高い絶縁材料からなる。この基板1上には半導体ダイヤモンド膜5が形成されている。また、この半導体ダイヤモンド膜5上には、選択的に開口部が設けられた絶縁膜2が形成されている。この絶縁膜2は、例えばSiO₂、膜でもよく、絶縁性ダイヤモンド膜でもよい。この絶縁膜2上には、引き出し電極4としての金属膜が形成されている。また、半導体ダイヤモンド膜5上にも電極6が選択的に形成されている。

【0034】本実施例においては、基板1が、耐熱性が高いSiO₂、又はSi、N₂等からなるため、第3の実施例に比してより一層耐熱性が優れているという効果を得ることができる。

【0035】図5は本発明を縦型真空3極管素子に適用した第5の実施例を示す模式的断面図である。低抵抗シリコン基板1上には所定の開口部が設けられた絶縁膜7が形成されている。そして、この開口部の基板1上には半導体ダイヤモンドからなるエミッタ3が形成されている。また、絶縁膜7上にはゲート8が形成されており、このゲート8上には絶縁膜9が形成されている。更に、この絶縁膜9上にはドレイン10が形成されている。

【0036】本実施例においては、エミッタ3が半導体ダイヤモンドからなるため、図15に示す従来の縦型真空3極管素子に比して、電子放射特性の劣化が少なく、高寿命であると共に、大電力で動作させることが可能である。

【0037】なお、前述の第3及び第4の実施例と同様に、基板上に半導体ダイヤモンドを形成し、この半導体

6

ダイヤモンド上にエミッタ及び絶縁膜等を形成することにより、本実施例の冷陰極エミッタ素子の耐熱性を向上させることが可能である。また、絶縁膜7、9として絶縁性ダイヤモンドを使用することにより、耐熱性をより一層向上させることができる。

【0038】図6(a)は本発明を平面型真空3極管素子に適用した第6の実施例を示す平面図、図6(b)は同じくその断面図である。絶縁基板1上にはゲート15が帯状に形成されており、このゲート15を挟むようにしてダイヤモンド膜11(絶縁体)及びドレイン14が配設されている。また、ダイヤモンド膜11上にはエミッタとしての半導体ダイヤモンド膜12が形成されており、この半導体ダイヤモンド膜12上にはソース電極13が形成されている。

【0039】本実施例においては、真空中でソース電極13、ゲート15及びドレイン14に夫々所定の電圧を印加すると、半導体ダイヤモンド膜12から基板表面に沿う方向に電子が放出される。本実施例においても、第8の実施例と同様の効果を得ることができる。

【0040】図7は本発明の第7の実施例を示す平面図である。本実施例が第6の実施例と異なる点は、上面視で半導体ダイヤモンド膜12aが楕円形に形成されていることにあり、その他の構成は基本的には第8の実施例と同様であるので、図7において図6と同一物には同一符号を付してその詳細な説明は省略する。

【0041】本実施例においては、半導体ダイヤモンド膜(エミッタ)12aが平面視で楕円形に形成されており、その先端部分に電界が集中するため、第8の実施例に比して、エミッタから電子が放出されやすく、電界放射特性が優れているという長所がある。

【0042】図8は本発明の第8の実施例に係る真空3極管素子を示す平面図である。基板1上の所定領域にはエミッタとしての半導体ダイヤモンド膜12bが円形状に形成されている。また、この半導体ダイヤモンド膜12b上にはソース電極13aが形成されている。そして、半導体ダイヤモンド膜12bを囲むようにしてゲート15aが配設されており、このゲート15aの周囲にはドレイン14aが設けられている。本実施例においても、第8の実施例と同様の効果を得ることができる。

【0043】図9(a)乃至(d)は本発明の第8の実施例に係る冷陰極エミッタ素子の製造方法を工程順に示す断面図である。この図9を参照して本実施例の冷陰極エミッタ素子の製造方法について説明する。まず、図9(a)に示すように、低抵抗Si基板21の上に半導体ダイヤモンド膜22を気相合成法によって合成する。

【0044】その後、図9(b)に示すように、絶縁膜23(例えば、SiO₂膜)を一様に約2ミクロンの厚さで合成した後、金属電極(アノード)25を絶縁膜23上に積層する。

【0045】その後、図9(c)に示すように、レジス

~*②

10

20

30

40

50

*②

FIG. 6a is a plan view of a planar vacuum triode element according to sixth example of the present invention, and FIG. 6b is a cross-sectional view of FIG. 6a. In this example, a strip-like gate electrode 15 is formed on an insulating substrate 1, and a diamond film 11 (insulating) and a drain electrode 14 are disposed in such a manner as to put the gate electrode 15 therebetween. Also, a semiconducting diamond film 12 as an emitter is formed on the diamond film 11, and a source electrode 13 is formed on the semiconducting film 12.

In this example, when the specified voltages are applied to the source electrode 13, the gate electrode 15 and the drain electrode 14, electrons are emitted from the semiconducting diamond film 12 in the direction along the substrate surface. The same effect as in Example 6 can be obtained in this example.

FIG. 7 is a plan view of a planar vacuum triode element according to seventh example of the present invention. This example is substantially similar to Example 6, except that a semiconducting diamond film 12a is formed into a comb-shape as seen from the top. Accordingly, in FIG. 7, parts corresponding to those previously described in FIG. 6 are indicated at the same numerals and the explanation thereof is omitted.

(5)

特開平5-152640

7

ト膜26を形成した後、フォトリソグラフィにより、レジスト膜26に直径又は1辺長が約1.5 μ mの円形又は矩形の穴27を開け、この穴27を通して金属電極25及び絶縁膜23を選択的にエッチングする。

【0046】その後、図9(d)に示すように、マスクに使用したフォトリソレジスト28を取り除くと、冷陰極素子が完成する。本実施例では、図示したように、多結晶気相合成ダイヤモンド膜22の表面が尖っているため、実施例1乃至5のように、選択成長でダイヤモンドエミッタ部を形成する必要がない。

【0047】このようにして製造した冷陰極エミッタ素子においては、真空中でアノードに対しSi基板21に30Vの負電圧を印加することにより、約2mAの電流が観測された。

【0048】図10は本発明の第10の実施例に係る冷陰極エミッタ素子を示す断面図である。基板21はSiO₂若しくはSi₃N₄等の耐熱性が高い絶縁基板からなる。この基板21上には半導体ダイヤモンド膜22が形成されている。また、この半導体ダイヤモンド膜22上には選択的に開口部28が設けられた絶縁膜23が形成されている。この絶縁膜23上には、金属膜からなる引き出し電極25が形成されている。更に、半導体ダイヤモンド膜22の絶縁膜23が形成されていない部分の上には電極24が選択的に且つダイヤモンド膜22に電気的に接触して形成されている。

【0049】本実施例においては、真空雰囲気下で引き出し電極25と電極24との間に、電極24が負になる電圧を印加すると、開口部28内において、ダイヤモンド膜22と引き出し電極25との間で電子が真空中を移動し、冷陰極エミッタ素子が所定の動作を行う。

【0050】図11は本発明を縦型真空3極管素子に適用した第11の実施例を示す模式的断面図である。低抵抗シリコン基板21上には半導体ダイヤモンド膜22が形成されており、その上に開口部28を持つ絶縁膜23aが形成されている。絶縁膜23a上にはゲート29が積層形成されており、このゲート29上には絶縁膜29bが形成されている。更に、この絶縁膜29b上にはドレイン25が積層形成されている。

【0051】本実施例においては、エミッタがダイヤモンドからなるため、図15に示す従来の縦型真空3極管素子に比して、電子放射特性の劣化が少なく、高寿命であると共に、大電力で動作させることが可能である。

【0052】なお、前述の第10の実施例と同様に、SiO₂又はSi₃N₄等の絶縁基板上に半導体ダイヤモンドを形成し、この半導体ダイヤモンド上に選択的にカソードの金属電極を形成して縦型真空3極管素子を作製することにより、耐熱性をより一層向上させることができる。

【0053】

【発明の効果】以上説明したように本発明においては、

8

電子を放出する部分であるエミッタ部が半導体ダイヤモンドからなるため、エミッタ部の耐熱性及び耐電圧が高い。このため、本発明に係る冷陰極エミッタ素子は、使用に伴うエミッタ先端部の形状の変化が抑制されて電子放射特性の劣化が少ない。また、大電流で使用することも可能である。従って、本発明は真空マイクロエレクトロニクス技術の向上に極めて有用である。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る冷陰極エミッタ素子を示す模式的断面図である。

【図2】本発明の第2の実施例に係る冷陰極エミッタ素子を示す模式的断面図である。

【図3】本発明の第3の実施例に係る冷陰極エミッタ素子を示す模式的断面図である。

【図4】本発明の第4の実施例に係る冷陰極エミッタ素子を示す模式的断面図である。

【図5】本発明を縦型真空3極管素子に適用した第5の実施例を示す模式的断面図である。

【図6】(a)は本発明を平面型真空3極管素子に適用した第8の実施例を示す平面図、(b)は同じくその断面図である。

【図7】本発明の第7の実施例を示す平面図である。

【図8】本発明の第8の実施例に係る真空3極管素子を示す平面図である。

【図9】本発明の第9の実施例に係る冷陰極エミッタ素子の製造方法を工程順に示す断面図である。

【図10】本発明の第10の実施例に係る冷陰極エミッタ素子を示す断面図である。

【図11】本発明の第11の実施例に係る真空3極管素子を示す模式的断面図である。

【図12】従来の真空3極管素子の一例を示す模式的断面図である。

【図13】(a)乃至(c)は図12に示す冷陰極エミッタ素子の製造方法の一例を工程順に示す断面図である。

【図14】(a)乃至(c)は冷陰極エミッタ素子の他の製造方法を工程順に示す断面図である。

【図15】電界放射エミッタを用いた開放構造のキャビティを持つ従来の縦型真空3極管素子を示す模式的断面図である。

【図16】(a)乃至(e)は縦型真空3極管素子の製造方法を工程順に示す断面図である。

【符号の説明】

1, 21, 31: 基板

2a: SiO₂膜

2b: 絶縁性ダイヤモンド膜

3, 32: エミッタ

4, 25, 40: 引き出し電極

5, 12, 12a, 12b, 22: 半導体ダイヤモンド膜

50

(6)

特開平5-152640

9

10

6, 24: 電極

* 27: 穴

7, 9, 23, 23a, 23b, 39, 42, 44: 絶縁膜

28: 開口部

8, 15, 15a, 29, 34: ゲート

35: アノード

10, 14, 14a: ドレイン

36, 38: Mo膜

11: ダイヤモンド膜

37: Al膜

13: ソース電極

39: エッチングマスク

26, 41: レジスト

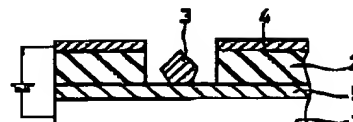
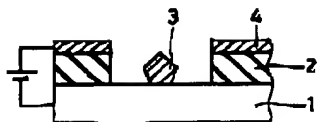
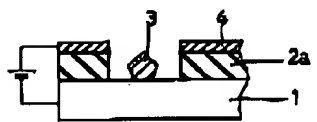
43, 45: 電極膜

*

【図1】

【図2】

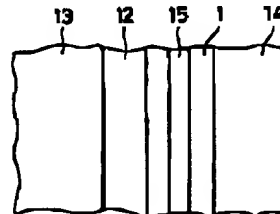
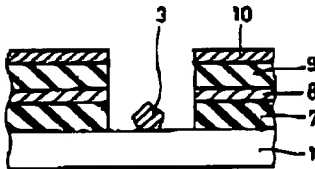
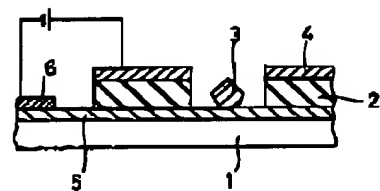
【図3】



【図4】

【図5】

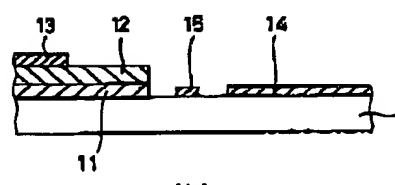
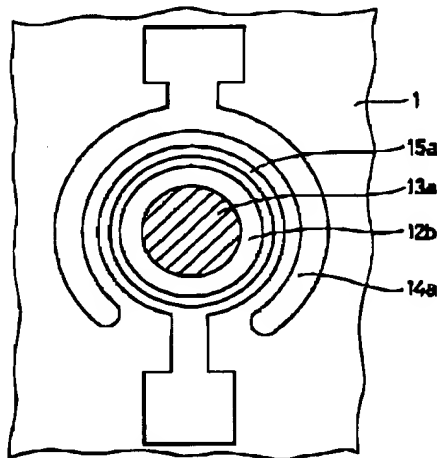
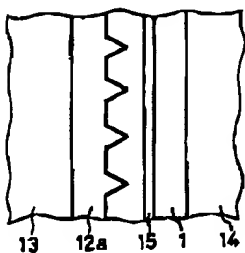
【図6】



(a)

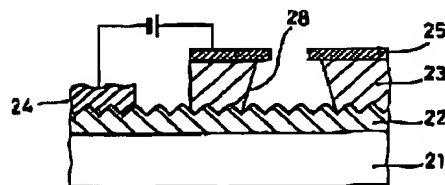
【図7】

【図8】



(b)

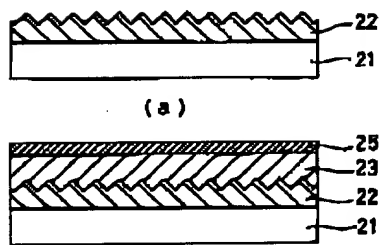
【図10】



(7)

特開平5-152640

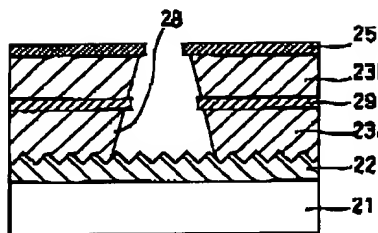
【図9】



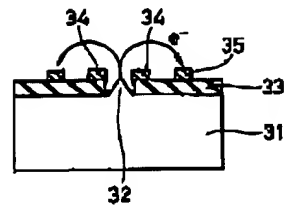
(a)

(b)

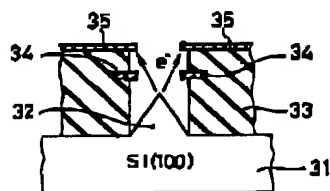
【図11】



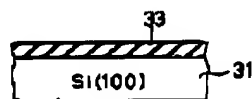
【図12】



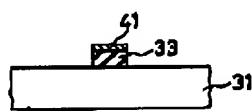
【図15】



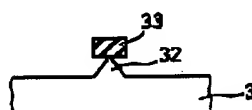
【図16】



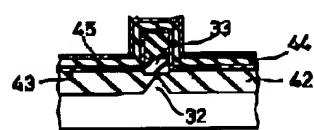
(a)



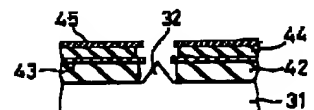
(b)



(c)



(d)

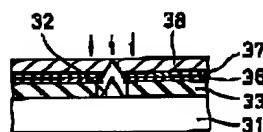


(e)

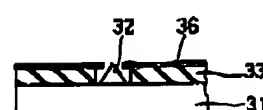
【図13】



(a)

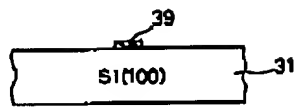


(b)



(c)

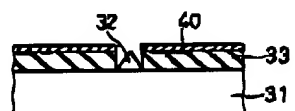
【図14】



(a)



(b)



(c)